

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-191145

(43)Date of publication of application : 23.07.1996

(51)Int.Cl. H01L 29/78

(21)Application number : 07-002996 (71)Applicant : FUJI ELECTRIC CO LTD

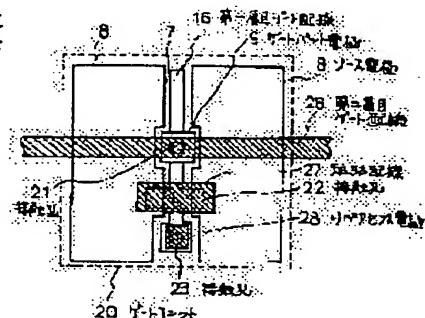
(22)Date of filing : 12.01.1995 (72)Inventor : KOGA TAKEHARU

## (54) INSULATED GATE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PURPOSE:** To obtain a semiconductor device capable of coping with an imperfect dielectric strength between a gate electrode and a main electrode by a method wherein a contact hole between a gate pad electrode and a second gate wiring of a defective unit where a dielectric strength is not enough between a gate electrode and a main electrode is filled with insulating material, and a contact hole between interconnections which cause a short circuit between a gate electrode and a source electrode is filled with wiring material.

**CONSTITUTION:** A polycrystalline silicon layer 8 which forms a gate electrode is divided into eight pieces, a gate pad 9 is provided, and a gate wiring 16 is made to extend over an oxide film 7 passing through the gap between two split source electrodes 8 from the gate pad 9. A contact hole 22 is bored spreading over the two-split source electrode 8 and also the gate wiring 16. A short-circuit wiring 27 is capable of coming into contact with the source electrode 8 and the gate wiring 16 at the contact hole 22. When a gate electrode 6 is imperfect in dielectric strength between G and S, polyimide liquid is made to drip in the contact hole 21 with a dispenser or the like to cover all the contact hole 21. By this setup, the contact hole 21 over the gate electrode 6 of a defective unit imperfect in dielectric strength between G and S is stopped up.



## LEGAL STATUS

[Date of request for examination] 20.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-191145

(43) 公開日 平成8年(1996)7月23日

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 J

審査請求 未請求 請求項の数3 O L (全5頁)

(21) 出願番号

特願平7-2996

(22) 出願日

平成7年(1995)1月12日

(71) 出願人

000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者

古閑 文晴

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人

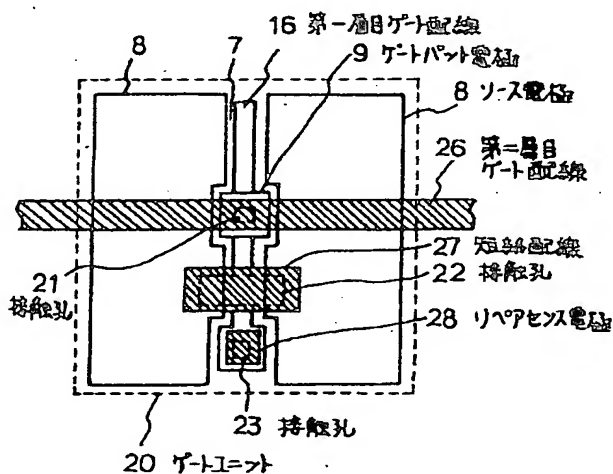
弁理士 山口 巖

(54) 【発明の名称】 絶縁ゲート型半導体素子およびその製造方法

(57) 【要約】

【目的】 ゲート電極と主電極との間の耐圧不良が起きたときにも、半導体基板全体として使用不良にならないようにする。

【構成】 半導体基板をそれぞれユニットとなる複数の領域に分割し、各領域のうち、ゲート電極と主電極との間の不良ユニットについては、ゲートパッド電極と第二層目のゲート配線との間の接触孔を絶縁材料で埋め、ゲート電極、ソース電極間を短絡する配線との間の接触孔を配線材料で埋める。良品ユニットについては逆にする。



## 【特許請求の範囲】

【請求項1】 半導体基板が、その一主面上に絶縁膜を介して設けられるゲート電極と、このゲート電極への電圧印加により制御される主電流を半導体基板に流す主電極とをそれぞれ有する複数の領域に分割され、主電極ならびにゲート電極に接続されて主電極の開口部に位置する第一層目のゲート配線およびゲートパッド電極を覆う絶縁膜に、ゲートパッド電極に達する第一の接触孔、第一層目のゲート配線に達する第二の接触孔および主電極に達する第三の接触孔が開けられ、第一の接触孔上を第二層目のゲート配線が通り、第二および第三の接触孔上を共通に短絡配線が通り、接触孔に導電材料あるいは絶縁材料が充てんされて、各領域のゲートパッド電極と第二層目のゲート配線との間ならびに第一層目のゲート配線および主電極と短絡配線の間の一方が電気的に接続され、他方が絶縁されたことを特徴とする絶縁ゲート型半導体素子。

【請求項2】 主電極、第一層目のゲート配線およびゲートパッド電極を覆う絶縁膜の第一層目のゲート配線に達する第四の接触孔が開けられ、第四の接触孔を通じて第一層目のゲート配線と接続される測定用電極を備えた請求項1記載の絶縁ゲート型半導体素子。

【請求項3】 半導体基板をその一主面上に主電極、ゲート電極ならびにゲート電極に接続した第一層目のゲート配線およびゲートパッド電極をそれぞれ有する複数の領域に分割した後に、各領域の主電極、ゲート電極間の耐圧を測定する工程と、主電極、ゲート電極、ゲート配線およびゲートパッド電極を絶縁膜によって覆う工程と、この絶縁膜に第一、第二および第三の接触孔を開ける工程と、前記の耐圧の測定値が規定値に達した領域の第二および第三の接触孔を絶縁材料で埋める工程と、耐圧の測定値が規定値に達しない領域の第一の接孔を絶縁材料で埋める工程と、接触孔を絶縁材料で埋めた工程の後に第一の接触孔上を通る第二層目のゲートパッド配線ならびに第二および第三の接触孔上を共通に通る短絡配線を導電材料により形成し、同時に絶縁材料で埋められていない接触孔を導電材料で埋める工程とを含むことを特徴とする請求項1あるいは2記載の絶縁ゲート型半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、電力用のMOS型電界効果トランジスタあるいは絶縁ゲート型バイポーラトランジスタ（以下IGBTと略す）のように半導体基体上に主電流制御用のゲート電極をもつ絶縁ゲート型半導体素子およびその製造方法に関する。

## 【0002】

【従来の技術】 絶縁ゲート型半導体素子は電圧制御できる電力用半導体素子として活用されている。そのような電力用半導体素子は、半導体チップを金属などの基板上

に固定し、主電極と絶縁されたゲート電極は、その電極面に設けられたゲートパッド部にボンディングされる導線により接続される。

【0003】 図2は、従来のIGBTの一例のユニットセル部の断面図であり、半導体チップ10の一方の主面側でpウェル2が高抵抗n-層1の表面層に拡散により作られる。また、電子をn-層1に注入するためのnソース層3がpウェル2の表面層内に形成される。さらに、pウェル2の端部にnソース層3からn-層1に電子を注入するMOSチャネル4を構成するために、pウェル2の端部の表面に薄いゲート酸化膜5を介して、例えば多結晶シリコンからなるゲート電極6を設ける。ゲート電極6の上は酸化膜7ですべて覆われ、その酸化膜で覆われないpウェル2およびソース層3の表面に接触するソース電極8が、例えばAl蒸着により形成されている。ソース電極8は、ゲート電極6および厚いフィールド酸化膜51上のその延長部と酸化膜7により絶縁されているので、ゲート・ソース間に電圧を印加することができる。n-層1の下面側にはnバッファ層11を介してpドレイン層12が設けられ、そのドレイン層12の表面に接触するドレイン電極13が、例えばAl蒸着により形成されている。

【0004】 図3は、従来のIGBTのチップをソース電極側から見た平面図で、点線16で示された輪郭内に形成されているゲート電極6を覆うソース電極8に図2にも示したようにソース電流引き出し導線14がボンディングされ、ソース電極8の窓部に露出するゲートパッド電極9に図2にも示したようにゲート引き出し導線15がボンディングされている。ゲート引き出し導線15はゲート端子に接続される。なお、チップ10の周辺部には、ソース・ドレイン間耐圧を出すためのガードリング17がある。

## 【0005】

【発明が解決しようとする課題】 電力用半導体素子のチップ10の面積を大きくすることは、1チップ当たりの電流容量の増大、オン電圧の低減を実現するとともに、ガードリング部17やゲートパッド部9の素子全体に占める比率を低くすることによる半導体基体の利用率の向上、組み立て構造の簡略化などの利点がある。しかし、チップの大面積化をする上での問題の一つとして、ゲート・ソース間耐圧不良の問題がある。IGBTの場合、ゲート電圧の電圧によりチャネルの開閉を行い、ドレイン電流のオン・オフを行う。ゲート・ソース間が短絡されていたり不十分な耐圧しかなかった場合、ドレイン電流の正常な制御ができない。

【0006】 図2、図3に示したような構造において、例えばフォトリソプロセス時に酸化膜7にマスク設計以外の穴や欠陥が発生した場合、ゲート電極6となる多結晶シリコン層にソース電極8が接触する。また、ソース電極8と同時に蒸着されるゲートパッド電極9あるいはゲート

ト配線とソース電極との間のエッチングによる分離が悪い場合、ゲート・ソース短絡となる。そのほか、ゲート電極6の下にゲート酸化膜5に欠陥がある場合もゲート・ソース間耐圧不良となる。

【0007】このような欠陥がチップ内で1個でもある場合、ゲート・ソース間耐圧不良となり、そのチップは使えない。フォトリソプロセスの改良などを重ねても、ウェーハ内で少なからず欠陥が発生することが避けられず、チップが大面积になるチップの歩留まりが落ちる。本発明の目的は、このような観点から、ゲート電極と主電極との間の耐圧不良が起きても半導体基板全体として使用不能になることのない電力用半導体素子およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明の絶縁ゲート型半導体素子は、半導体基板が、その一主面上に絶縁膜を介して設けられるゲート電極と、このゲート電極への電圧印加により制御される主電流を半導体基板に流す主電極とをそれぞれ有する複数の領域に分割され、主電極ならびにゲート電極に接続されて主電極の開口部に位置する第一層目のゲート配線およびゲートパッド電極を覆う絶縁膜に、ゲートパッド電極に達する第一の接触孔、第一層目のゲート配線に達する第二の接触孔および主電極に達する第三の接触孔が開けられ、第一の接触孔上を第二層目のゲート配線が通り、第二および第三の接触孔上を共通に短絡配線が通り、接触孔に導電材料あるいは絶縁材料が充てんされて、各領域のゲートパッド電極と第二層目のゲート配線との間ならびに第一層目のゲート配線および主電極と短絡配線の間の方が電気的に接続され、他方が絶縁されたものとする。主電極、第一層目のゲート配線およびゲートパッド電極を覆う絶縁膜の第一層目のゲート配線に達する第四の接触孔が開けられ、第四の接触孔を通じて第一層目のゲート配線と接続される測定用電極を備えたことが有効である。このような絶縁ゲート型半導体素子の製造方法は、半導体基板をその一主面上に主電極、ゲート電極ならびにゲート電極に接続した第一層目のゲート配線およびゲートパッド電極をそれぞれ有する複数の領域に分割した後に、各領域の主電極、ゲート電極間の耐圧を測定する工程と、この絶縁膜に第一、第二および第三の接触孔を開ける工程と、前記の耐圧の測定値が規定値に達した領域の第二および第三の接触孔を絶縁材料で埋める工程と、耐圧の測定値が規定値に達しない領域の第一の接孔を絶縁材料で埋める工程と、接触孔を絶縁材料で埋めた工程の後に第一の接触孔上を通る第二層目のゲート配線ならびに第二および第三の接触孔上を通る短絡配線を導電材料により形成し、同時に絶縁材料で埋められていない接触孔を導電材料で埋める工程とを含むものとする。

【0009】

【作用】それぞれ主電極、ゲート電極、ゲート電極に接続されたゲート配線およびゲートパッド電極を有するユニットとなる領域に半導体基板を分割後、各ユニットの主電極のゲート電極間の耐圧を測定し、耐圧良品ユニットについてはゲート配線と主電極を短絡する配線との間の第二、第三の接触孔を予め絶縁材料で埋めておき、耐圧不良品ユニットについてはゲートパッド電極を第二層目のゲート配線と接続する第一の接触孔を予め絶縁材料で埋めて置けば、そのあと第一の接触孔上を通る第二層目のゲート配線、第二、第三の接触孔上を共通に通る短絡配線を形成し、絶縁材料で埋められていない接触孔を配線材料で埋めることにより、GS間耐圧良品ユニットのゲート電極のみ第二層目のゲート配線に接続され、耐圧不良品ユニットは、ゲートが第二層目のゲート配線に接続されないで制御用の信号電圧が入力されず、またソース電極と短絡されているので動作することがない。第二層目のゲート配線、短絡配線のパターンは、ユニットの良、不良にかかわらず同一であるため、フォトリソマスクの変更の必要はない。第一層目のゲート配線に接続される測定用電極を別に形成しておくと、耐圧良品ユニットのゲートと第二層目配線との間の接続のチェックあるいは耐圧不良品ユニットのゲートとソース電極との間の短絡のチェックを容易に行うことができる。

【0010】

【実施例】図1は、本発明の一実施例のIGBTのチップの一部を平面図で示し、図2と共通の部分には同一の符号が付されている。チップの大きさは20mm角であるが、ゲート電極を形成する多結晶シリコン層は8分割され、図1は分割された一つのゲート電極を有するゲートユニット20を示し、その大きさは約4mm角である。一つのゲートユニット20に0.3mm角の大きさのゲートパッド電極9が一つ設けられ、それから二つの分割されたソース電極8の間隙を通してゲート配線16が図2に示した酸化膜7の上を延びている。図示しないがソース電極8上を覆って、ゲートユニット上に絶縁膜が形成されている。この絶縁膜は、例えば厚さ4μmのポリイミドよりなり、接触孔21、22、23が開けられている。接触孔21はゲートパッド電極9の上に開けられ、0.2mm角の大きさである。接触孔22は分割された二つのソース電極8にまたがってゲート配線16上を含めて開けられ、0.2mm×0.8mmの大きさである。接触孔23はゲート配線16の端部上に開けられ、0.7mm×0.05mmの大きさである。接触孔21においてゲート端子に接続される第二層目のゲート配線26が第一層目のゲートパッド電極9に接触できる。接触孔22の部分で短絡配線27がソース電極8およびゲート配線16に接触できる。接触孔23の部分で0.2mm角の大きさのリバアセンス電極28がゲート配線16に接触できる。

【0011】このようなIGBTを製造するには、図2

に示したゲート電極6、ソース電極8、ゲートパッド電極9を形成したのち、各ゲートユニットのゲート電極6とソース電極8との間の耐圧を測定し、GS（ゲート・ソース）間で35V以上の耐圧のあるものを良品と判断する。次いで、それらの上面を覆う絶縁膜を全面に形成し、フォトリソグラフィ工程によりその絶縁膜のパターニングを行い、接触孔21、22、23を開ける。

【0012】次ぎに、上記のGS間の耐圧測定による各ゲートユニット毎の良否結果に従い、以下の作業を行う。GS間耐圧が不良なゲート電極6に対しては、接触孔21にディスペンサ等を用いてポリイミド液を垂らし、接触孔21全体を覆う。これにより、GS間耐圧の不良なユニットのゲート電極6上の接触孔21が塞がれる。GS間耐圧の良好なゲート電極6に対しては、接触孔22にディスペンサ等を用いてポリイミド液を垂らし、接触孔22全体を覆う。このことにより、GS間耐圧の良好なユニットのゲート電極6に接続されたゲート配線16上の接触孔22が塞がれる。ポリイミド液の滴下は、GS間耐圧測定データと連動されるXYステージ上に真空吸着により固定した半導体基板に対して行う。以上の作業の後、例えばA1蒸着を再度行い、フォトリソグラフィ法によりパターニングを行ってゲート配線26、短絡電極27を形成する。以上の製造工程により、予定したGS間耐圧を満足するゲートユニットのゲート電極のみがゲート端子に接続され、GS間耐圧の不良なゲートユニットのゲート電極はソース電極と短絡される。

【0013】ここで、GS間耐圧が良好なゲートユニットのゲートパッド電極9と第二層目のゲート配線26との接触が不十分であると、そのユニットのゲートは浮遊状態にあり、ソース・ドレイン間に電圧をかけると、その電圧が数十Vから数百Vで、ゲートに電荷がたまってオン状態になるため、ソース・ドレイン間耐圧がなくなる。また、良好なユニットのゲートと第二層目のゲート配線との接続が不十分で、抵抗成分があると、そのユニットのターンオン動作およびターンオフ動作が遅れ、スイッチング特性のばらつきの原因ともなり、RBSOAなどが弱くなる。さらに、接触状態が非常に悪い場合、ターンオンやターンオフ時に流れるゲート電流により接触部の金属が溶断することもある。

【0014】このような障害の起こるのを防ぐためにGS間耐圧良品ユニットのゲートと第二層目ゲート配線が完全に接触しているかどうかを、リベアセンス電極28とゲート配線26の各々に測定用の針を立て、両者間の抵抗値を測定して調べる。その抵抗値が規定値以下であれば、GS間耐圧良品ユニットのゲートの第二層目ゲート配線26への接続は良好であると判断する。規定値を超えてい

れば、GS間耐圧不良ユニットのゲートのソース電極と完全に短絡されているかどうかを確認するためには、リベアセンス電極28とソース電流引き出し配線の各々に測定用の針を立て、両者間の抵抗値を測定する。その抵抗値が規定値を超えてい

れば、GS間耐圧不良ユニットのゲートのソース電極への接続は不十分であると判断し、十分な接触になるような措置を講ずる。本実施例では、その措置として、イオンビームを用いてGS間耐圧不良ユニットのゲートをソース電極へ完全に短絡した。

#### 【0016】

【発明の効果】本発明によれば、半導体基板をそれぞれ主電極、ゲート電極、ゲートパッド電極を備えたユニットとなる複数の領域に分割しておき、ゲート電極と主電極との間の耐圧が不良なユニットを絶縁材料を埋めて動作に関与しないようにし、良品のゲートのみを外部に引き出すことのできる接触孔および不良品ユニットのゲート電極をソース電極と短絡することのできる接触孔を上面を覆う絶縁膜に設けることにより、フォトリソグラフィ法によりパターニングを行ってゲート配線26、短絡電極27を形成する。以上の製造工程により、予定したGS間耐圧を満足するゲートユニットのゲート電極のみがゲート端子に接続され、GS間耐圧の不良なゲートユニットのゲート電極はソース電極と短絡される。

#### 【図面の簡単な説明】

【図1】本発明の一実施例のIGBTにおける一つのゲートユニット部の平面図

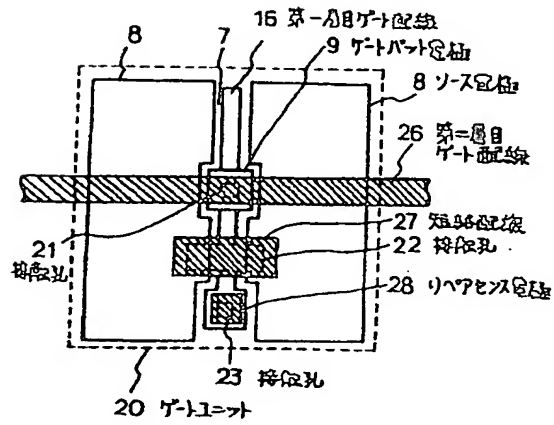
【図2】IGBTのユニットセルの断面図

【図3】従来のIGBTチップの平面図

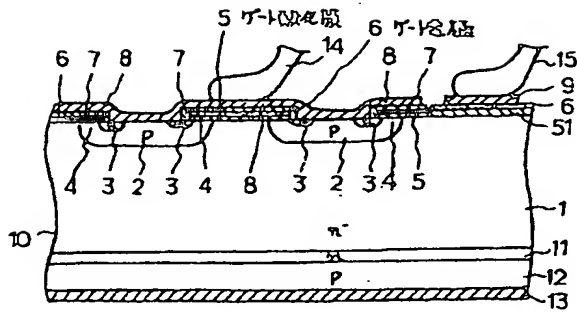
#### 【符号の説明】

- 5 ゲート酸化膜
- 6 ゲート電極
- 8 ソース電極
- 9 ゲートパッド電極
- 16 第一層目ゲート配線
- 20 ゲートユニット
- 21、22、23 接触孔
- 26 第二層目ゲート配線
- 27 短絡配線
- 28 リベアセンス電極

【図1】



【図2】



【図3】

